

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

KI-CHANG KWEAN

Application No.:

Filed:

For: **SEMICONDUCTOR MEMORY  
DEVICE HAVING ADVANCED  
DATA STROBE CIRCUIT**

Art Group: Unknown

Examiner: To Be Determined

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**REQUEST FOR PRIORITY**

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-26942	29 April 2003

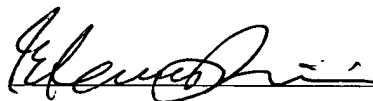
☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: December 31, 2003

12400 Wilshire Boulevard, 7th Floor  
Los Angeles, CA 90025  
Telephone: (310) 207-3800



Farzad E. Amini, Reg. No. 42,261



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0026942  
Application Number

출원년월일 : 2003년 04월 29일  
Date of Application APR 29, 2003

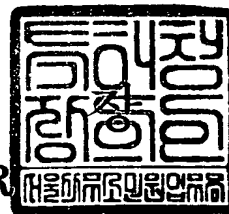
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0019  
**【제출일자】** 2003.04.29  
**【발명의 명칭】** 반도체 기억 소자에서 쓰기 데이터 정렬을 위한 회로  
**【발명의 영문명칭】** WRITE DATA ALIGNING CIRCUIT IN SEMICONDUCTOR MEMORY DEVICE  
**【출원인】**  
**【명칭】** 주식회사 하이닉스반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【명칭】** 특허법인 신성  
**【대리인코드】** 9-2000-100004-8  
**【지정된변리사】** 변리사 정지원, 변리사 원석희, 변리사 박해천  
**【포괄위임등록번호】** 2000-049307-2  
**【발명자】**  
**【성명의 국문표기】** 권기창  
**【성명의 영문표기】** KWEAN, Ki Chang  
**【주민등록번호】** 691118-1812321  
**【우편번호】** 467-860  
**【주소】** 경기도 이천시 부발읍 아미리 현대3차아파트 302-1907  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 10 면 10,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 9 항 397,000 원  
**【합계】** 436,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 데이터 스트로브 신호를 분리하여 사용함으로써 데이터의 정렬에 필요한 마진을 충분히 확보하여 쓰기 동작을 원활하게 하는 데에 목적이 있다.

이를 위한 본 발명의 입력되는 쓰기 데이터 정렬 회로는, 제1 및 제2 데이터 스트로브 신호의 라이징 에지와 폴링 에지에 동기되며 적어도 외부클럭 주기의 2배 이상의 주기를 갖는 신호를 각각 병렬 출력하기 위한 데이터 스트로브 분배수단; 상기 제1 및 제2 데이터 스트로브 신호의 라이징 에지와 폴링 에지에 동기되는 신호에 제어받아 입력되는 데이터를 래치하기 위한 래치수단; 및 상기 데이터 스트로브 분배수단으로부터 출력되는 신호들을 선택적으로 이용하여 상기 래치수단으로부터 출력되는 데이터들을 동시에 출력하기 위한 정렬수단을 포함할 수 있다.

**【대표도】**

도 4

**【색인어】**

반도체 기억 소자, 정렬, 데이터, 프리페치, 데이터 스트로브 신호

**【명세서】****【발명의 명칭】**

반도체 기억 소자에서 쓰기 데이터 정렬을 위한 회로{WRITE DATA ALIGNING CIRCUIT IN SEMICONDUCTOR MEMORY DEVICE}

**【도면의 간단한 설명】**

- 도 1은 종래기술에 따른 쓰기 데이터 정렬을 위한 전체 블록도,
- 도 2는 종래기술에 따른 쓰기 데이터 정렬을 위한 타이밍도,
- 도 3은 일반적인 클럭과 데이터 스트로브 신호와의 타이밍도,
- 도 4는 본 발명의 일실시예에 따른 쓰기 데이터 정렬을 위한 전체 블록도,
- 도 5는 도 4의 데이터 스트로브 신호 분배부의 구체회로도,
- 도 6은 도 5의 데이터 스트로브 신호 분배부의 타이밍도,
- 도 7은 도 4의 라이징0 정렬부의 구체 회로도,
- 도 8은 도 4의 폴링0 정렬부의 구체 회로도,
- 도 9는 도 4의 라이징1 정렬부의 구체 회로도,
- 도 10은 도 4의 쓰기 데이터 정렬을 위한 타이밍도,
- 도 11은 본 발명의 다른 실시예에 따른 쓰기 데이터 정렬을 위한 전체 블록도.

\* 도면의 주요 부분에 대한 설명 \*

400: 데이터 스트로브 버퍼부	410: 데이터 입력 버퍼부
420: 데이터 스트로브 신호 분배부	430: 라이징0 래치부
440: 폴링0 래치부	450: 라이징1 래치부
460: 폴링1 래치부	470: 라이징0 정렬부
480: 폴링0 정렬부	490: 라이징1 정렬부

### 【발명의 상세한 설명】

### 【발명의 목적】

### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <18> 본 발명은 반도체 기억 소자에 관한 것으로서, 구체적으로는 쓰기 동작시의 타이밍 마진을 확보할 수 있는 반도체 기억 소자에 관한 것이다.
- <19> 상용화되고 있는 DDR SDRAM은 고속화 고주파수화의 추세에 부응하기 위해 2 비트 혹은 4 비트의 데이터를 동시에 프리페치하는 기술을 사용하고 있다. 그러나, 종래기술의 구성에 의하면 복수 비트의 데이터를 프리페치 하고자 할 때 도메인 크로스 부분에서 타이밍 마진이 작아 데이터의 고속처리에 부적합하다. 예를 들어 종래기술의 문제점을 설명하고자 한다.
- <20> 도 1은 종래기술에 따른 쓰기 데이터 정렬을 위한 전체 블록도로서, 각 블록의 기능은 다음과 같다.
- <21> 데이터 스트로브 입력 버퍼(110)는, 데이터 입력시 데이터가 정렬되는 기준이 되는 신호인 데이터 스트로브 신호(ds)를 입력받아 라이트 명령 신호에 의해 데이터 스트로브 입력 버퍼

를 인에이블시키는 스타트바아신호(startz)가 인에이블되면 데이터 스트로브 신호의 입력을 받아 데이터 스트로브 라이징 신호(dsr0)와 데이터 스트로브 폴링 신호(dsf0)를 출력한다.

- <22>        데이터 입력 버퍼(120)는, 라이트 명령 신호에 의한 데이터 스트로브 입력 버퍼의 인에이블신호(startz)가 인에이블되면 입력된 데이터를 출력(out/outz)한다.
- <23>        데이터 라이징 입력 래치(130)는, 데이터 스트로브 입력 버퍼로부터 출력되는 데이터 스트로브 라이징 신호와 데이터 입력 버퍼의 출력(out/outz)을 입력받아 데이터를 래치하고, 데이터 스트로브 폴링 신호(dsf0)에 의해 데이터 폴링 입력 래치와 같은 타이밍에 데이터 (align\_dsr0\_data)를 출력한다.
- <24>        데이터 폴링 입력 래치(140)는, 데이터 스트로브 입력 버퍼로부터 출력되는 데이터 스트로브 폴링 신호(dsf0)와 데이터 입력 버퍼의 출력(out/outz)을 입력받아 데이터 (align\_dsf0\_data)를 출력한다.
- <25>        데이터 분할부(150, 160)는, 데이터 라이징 입력 래치(130)와 데이터 폴링 입력 래치 (140)의 출력과 데이터 스트로브 폴링 신호(dsf0)를 입력으로 받아 동작하며, 파이프 구조로서 데이터 스트로브 폴링 신호(dsf0)의 첫번째 클럭의 라이징에서 데이터(align\_first\_data)를 래치하고 두번째 클럭의 라이징에서 데이터(align\_second\_data)를 래치한다.
- <26>        도 2는 종래기술에 따른 라이트 데이터 정렬을 위한 타이밍도이다.
- <27>        위와 같은 동작에 의해 도 2와 같은 타이밍을 갖는 신호들이 출력된다. 이러한 타이밍에서 데이터 스트로브 신호(ds)에 정렬된 데이터는 클럭에 동기되어 다른 클럭에 동기된 신호들과의 타이밍 마진을 가지며, 데이터를 라이트하게 된다.

- <28> 도 2에서 볼 수 있듯이 데이터 스트로브 신호에 정렬된 데이터는 클럭에 동기될 때 반 주기( $(1/2) \cdot t_{CK}$ )만큼의 마진을 갖는다. 즉, 데이터는 클럭에 동기된 데이터 스트로브 신호에 의해 반주기동안에 실려야 한다. 이는 일반적으로 8개의 데이터는 하나의 데이터 스트로브 신호에 동기되어 입력되며, 여러개의 데이터 스트로브 신호를 입력으로 받는 칩의 경우 모두 동일한 타이밍에 데이터 스트로브 신호의 입력을 받는 것이 아니라 각각의 데이터 스트로브 신호간의 스큐를 갖게 되기 때문이다.
- <29> 도 3은 일반적인 클럭과 데이터 스트로브 신호와의 타이밍도이다.
- <30> 데이터 스트로브 신호간의 스큐는  $t_{DQSS}$ (클럭으로부터 데이터 스트로브 신호의 첫 라이징 에지까지의 시간)로 나타나는데, 가장 빠른 데이터 스트로브 신호(DQS1)의 경우 라이트 명령으로부터  $0.75 t_{CK}$  후 인에이블될 수 있고, 가장 늦은 데이터 스트로브 신호(DQS2)의 경우 라이트 명령으로부터  $1.25 t_{CK}$  후 인에이블되어 동작한다. 즉, 하나의 데이터 스트로브 신호도 라이트 동작이 수행될 때마다 항상 동일한 타이밍에 입력되는 것이 아니라 주변의 환경변화에 따라 빠르게 혹은 늦게 입력된다.
- <31> 이 경우, 각각의 데이터 스트로브 신호에 정렬된 데이터( $align\_first/second\_data$ )는  $0.5 t_{CK}$  만큼의 스큐를 갖는다. 따라서, 제1 라이트 명령에 의해 입력된 데이터 중 가장 늦은 데이터는 제2 라이트 명령에 의해 입력된 데이터 중 가장 빠른 데이터가 인에이블되기 전에 클럭 도메인의 제어신호가 아닌 데이터 스트로브 신호에 의해 데이터를 래치하여야 한다. 이와 같은 이유로, 데이터 스트로브 신호에 정렬된 데이터는 도메인 크로스 부분(데이터 스트로브 도메인에서 클럭 도메인으로 데이터가 전이되는 부분)에서  $0.5 t_{CK}$  만큼의 타이밍 마진을 갖게



된다. 따라서, 1주기( $t_{CK}$ )가 작아질수록 타이밍 마진은 점차 줄어들게 되어 고주파수 영역에서의 쓰기 동작을 제한하게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<32> 상기의 문제점을 해결하기 위하여 본 발명은 데이터 스트로브 신호를 분리하여 사용함으로써 데이터의 정렬에 필요한 마진을 충분히 확보하여 쓰기 동작을 원활하게 하는 데에 목적이 있다.

#### 【발명의 구성 및 작용】

<33> 상기의 목적을 달성하기 위한 본 발명의 입력되는 쓰기 데이터 정렬 회로는, 제1 및 제2 데이터 스트로브 신호의 라이징 에지와 폴링 에지에 동기되며 적어도 외부클럭 주기의 2배 이상의 주기를 갖는 신호를 각각 병렬 출력하기 위한 데이터 스트로브 분배수단; 상기 제1 및 제2 데이터 스트로브 신호의 라이징 에지와 폴링 에지에 동기되는 신호에 제어받아 입력되는 데이터를 래치하기 위한 래치수단; 및 상기 데이터 스트로브 분배수단으로부터 출력되는 신호들을 선택적으로 이용하여 상기 래치수단으로부터 출력되는 데이터들을 동시에 출력하기 위한 정렬수단을 포함할 수 있다.

<34> 바람직하게는, 본 발명의 상기 데이터 스트로브 분배수단으로부터 출력되는 신호는, 상기 제1 데이터 스트로브 신호의 라이징 에지에 동기되는 제1 데이터 스트로브 라이징 신호, 상기 제1 데이터 스트로브 신호의 폴링 에지에 동기되는 제1 데이터 스트로브 폴링 신호, 상기 제2 데이터 스트로브 신호의 라이징 에지에 동기되는 제2 데이터 스트로브 라이징 신호 및 상

기 제2 데이터 스트로브 신호의 폴링 에지에 동기되는 제2 데이터 스트로브 폴링 신호를 병렬 출력하며, 외부 주기의 2배에 해당한다.

<35> 바람직하게는, 본 발명의 상기 래치수단은, 상기 제1 데이터 스트로브 라이징 신호와 상기 데이터를 입력받아 상기 제1 데이터 스트로브 라이징 신호의 라이징 에지에서 상기 데이터를 래치하기 위한 라이징0 래치부; 상기 제1 데이터 스트로브 폴링 신호와 상기 데이터를 입력받아 상기 제1 데이터 스트로브 폴링 신호의 라이징 에지에서 상기 데이터를 래치하기 위한 폴링0 래치부; 상기 제2 데이터 스트로브 라이징 신호와 상기 데이터를 입력받아 상기 제2 데이터 스트로브 라이징 신호의 라이징 에지에서 상기 데이터를 래치하기 위한 라이징1 래치부; 및 상기 제2 데이터 스트로브 폴링 신호와 상기 데이터를 입력받아 상기 제2 데이터 스트로브 폴링 신호의 라이징 에지에서 상기 데이터를 래치하기 위한 폴링1 래치부를 포함할 수 있다.

<36> 바람직하게는, 본 발명의 상기 정렬수단은, 상기 라이징0 래치부로부터 출력되는 상기 제1 데이터 스트로브 라이징 신호의 라이징 에지에서 래치된 제1 라이징 출력 데이터를 상기 폴링1 래치부로부터 출력되는 데이터와 정렬하기 위한 라이징0 정렬부; 상기 폴링0 래치부로부터 출력되는 상기 제1 데이터 스트로브 폴링 신호의 라이징 에지에서 래치된 제1 폴링 출력 데이터를 상기 폴링1 래치부로부터 출력되는 데이터와 정렬하기 위한 폴링0 정렬부; 및 상기 라이징1 래치부로부터 출력되는 상기 제2 데이터 스트로브 라이징 신호의 라이징 에지에서 래치된 제2 라이징 출력 데이터를 상기 폴링1 래치부로부터 출력되는 데이터와 정렬하기 위한 라이징1 정렬부를 포함할 수 있다.

<37> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한

정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.

- <38> 도 4는 본 발명의 일실시예에 따른 쓰기 데이터 정렬을 위한 전체 블록도로서, 각 블록의 기능은 다음과 같다.
- <39> 데이터 스트로브 버퍼부(400)는, 데이터 스트로브 신호를 입력받아 버퍼링하여 버퍼링된 데이터 스트로브 신호(dsbuf\_out)를 출력한다.
- <40> 데이터 입력 버퍼부(410)는, 데이터를 입력받아 버퍼링하여 버퍼링된 데이터(din\_out)를 출력한다.
- <41> 데이터 스트로브 신호 분배부(420)는, 데이터 스트로브 버퍼부(400)로부터 출력되는 버퍼링된 데이터 스트로브 신호(dsbuf\_out)를 입력받아 버퍼링된 데이터 스트로브 신호(dsbuf\_out) 중 제1 라이징과 제2 라이징을 분리하고, 제1 폴링과 제2 폴링을 분리한다. 이 때, 제1 데이터 스트로브 라이징 신호(dsr0), 제1 데이터 스트로브 폴링 신호(ds0), 제2 데이터 스트로브 라이징 신호(dsr1) 그리고 제2 데이터 스트로브 폴링 신호(ds1)는 각각 버퍼링된 데이터 스트로브 신호(dsbuf\_out)의 제1 라이징, 제1 폴링, 제2 라이징 그리고 제2 폴링에 동기되는 신호이다. 동작의 시작점은 라이트 명령에 의한 데이터 스트로브 분배부(420)의 인에이블 신호(startz)가 인에이블되는 시점이다. 이에 대한 구체 회로도도 도 5에 보인다.

- <42> 도 6은 도 5의 데이터 스트로브 신호 분배부의 타이밍도이다.
- <43> 본 발명의 일실시예에 따른 데이터 스트로브 신호 분배부는 쓰기 명령에 의한 데이터 스트로브 분배부(420) 인에이블신호(startz)가 인에이블되면 버퍼링된 데이터 스트로브 신호(dsb\_f\_out)의 첫번째 라이징 에지에 동기된 제1 데이터 스트로브 라이징 신호(dsr0)를 출력하고, 이후 순차적으로 버퍼링된 데이터 스트로브 신호(dsb\_f\_out)의 첫번째 폴링 에지에 동기된 제1 데이터 스트로브 폴링 신호(ds\_f0)를, 버퍼링된 데이터 스트로브 신호(dsb\_f\_out)의 두번째 라이징 에지에 동기된 제2 데이터 스트로브 라이징 신호(dsr1)를, 데이터 스트로브 신호(dsb\_f\_out)의 두번째 폴링 에지에 동기된 제2 데이터 스트로브 폴링 신호(ds\_f0)를 각각 출력한다.
- <44> 제1 데이터 스트로브 라이징 신호(dsr0), 제1 데이터 스트로브 폴링 신호(ds\_f0), 제2 데이터 스트로브 라이징 신호(dsr1) 및 제2 데이터 스트로브 폴링 신호(ds\_f1)는 각각 라이징0 래치부(430), 폴링0 래치부(440), 라이징1 래치부(450) 및 폴링1 래치부(460)에 입력되어 각각의 라이징 에지에서 데이터를 래치할 때 사용되며, 라이징0 정렬부(470), 폴링0 정렬부(480) 및 라이징1 정렬부(490)에 입력되어 빨리 입력된 신호가 늦게 입력된 신호에 동기되도록 하는 데에 사용된다.
- <45> 라이징0 래치부(430)는, 데이터 입력 버퍼부(410)로부터 출력되는 버퍼링된 데이터(din\_out)와 제1 데이터 스트로브 라이징 신호(dsr0)를 입력받아 데이터 스트로브 신호의 첫번째 라이징에서 입력된 데이터를 래치하며, 제1 데이터 스트로브 라이징 신호(dsr0)의 라이징 에지에서 버퍼링된 데이터(din\_out)를 래치하여 제1 라이징 출력 데이터(r0\_out)로 출력한다.

- <46> 폴링0 래치부(440)는, 데이터 입력 버퍼부(410)로부터 출력되는 버퍼링된 데이터 (din\_out)와 제1 데이터 스트로브 폴링 신호(dsf0)를 입력받아 데이터 스트로브 신호의 첫번째 폴링에서 입력된 데이터를 래치하며, 제1 데이터 스트로브 폴링 신호(dsf0)의 라이징 에지에서 버퍼링된 데이터(din\_out)를 래치하여 제1 폴링 출력 데이터(f0\_out)로 출력한다.
- <47> 라이징1 래치부(450)는, 데이터 입력 버퍼부(410)로부터 출력되는 버퍼링된 데이터 (din\_out)와 제2 데이터 스트로브 라이징 신호(dsr1)를 입력받아 데이터 스트로브 신호의 두번째 라이징에서 입력된 데이터를 래치하며, 제2 데이터 스트로브 라이징 신호(dsr1)의 라이징 에지에서 버퍼링된 데이터(din\_out)를 래치하여 제2 라이징 출력 데이터(r1\_out)로 출력한다.
- <48> 폴링1 래치부(460)는, 데이터 입력 버퍼부(410)로부터 출력되는 버퍼링된 데이터 (din\_out)와 제2 데이터 스트로브 폴링 신호(dsf1)를 입력받아 데이터 스트로브 신호의 두번째 폴링에서 입력된 데이터를 래치하며, 제2 데이터 스트로브 폴링 신호(dsf1)의 라이징 에지에서 버퍼링된 데이터(din\_out)를 래치하여 제2 폴링 정렬 데이터(align\_f1\_out)로 출력한다.
- <49> 도 7은 도 4의 라이징0 정렬부의 구체 회로도로서, 라이징0 정렬부(470)는, 제1 데이터 스트로브 폴링 신호(dsf0)에 제어받아 입력되는 제1 라이징 출력 데이터(r0\_out)를 전달하기 위한 전달게이트(701), 전달게이트(701)의 출력을 반전시키기 위한 인버터(702), 인버터(702)의 출력을 래치하기 위한 역병렬결합된 복수의 인버터(703, 704), 제2 데이터 스트로브 라이징 신호(dsr1)에 제어받아 제2 인버터(703)의 출력을 전달하기 위한 전달게이트(705), 전달게이트(705)의 출력을 반전시키기 위한 인버터(706), 인버터(706)의 출력을 래치하기 위한 역병렬결합된 복수의 인버터(707, 708), 및 제2 데이터 스트로브 폴링 신호(dsf1)에 제어받아 제5 인버터(707)의 출력을 전달하기 위한 전달게이트(709)를 포함할 수 있다. 이러한 구성의 라이징0 정렬부(470)는, 라이징0 래치부(430)의 출력인 제1 라이징 출력 데이터(r0\_out)와 제1 데이터

스트로브 폴링 신호(dsf0)/제2 데이터 스트로브 라이징 신호(dsr1)/제2 데이터 스트로브 폴링 신호(dsf1)를 입력받아 제1 라이징 출력 데이터(r0\_out)가 제1 데이터 스트로브 폴링 신호(dsf0), 제2 데이터 스트로브 라이징 신호(dsr1) 그리고 제2 데이터 스트로브 폴링 신호(dsf1) 각각에 동기되어 제1 라이징 정렬 데이터(align\_r0\_out)를 출력한다. 도면에 보이는 신호 중 dsf0z, dsr1z, dsf1z는 각각 dsf0, dsr1, dsf1의 반전신호이다.

<50> 도 8은 도 4의 폴링0 정렬부의 구체 회로도로서, 폴링0 정렬부(480)는, 제2 데이터 스트로브 라이징 신호(dsr1)에 제어받아 입력되는 제1 폴링 출력 데이터(f0\_out)를 전달하기 위한 전달게이트(801), 전달게이트(801)의 출력을 반전시키기 위한 인버터(802), 인버터(802)의 출력을 래치하기 위한 역병렬결합된 복수의 인버터(803, 804), 및 제2 데이터 스트로브 폴링 신호(dsf1)에 제어받아 인버터(803)의 출력을 전달하기 위한 전달게이트(805)를 포함할 수 있다. 폴링0 정렬부(480)는, 폴링0 래치부(440)의 출력인 제1 폴링 출력 데이터(f0\_out)와 제2 데이터 스트로브 라이징 신호(dsr1)/제2 데이터 스트로브 폴링 신호(dsf1)를 입력받아 제1 폴링 출력 데이터(f0\_out)가 각각 제2 데이터 스트로브 라이징 신호(dsr1)와 제2 데이터 스트로브 폴링 신호(dsf1)에 동기된 제1 폴링 정렬 데이터(align\_f0\_out)를 출력한다.

<51> 도 9는 도 4의 라이징1 정렬부의 구체 회로도로서, 라이징1 정렬부(490)는, 제2 데이터 스트로브 폴링 신호(dsf1)에 제어받아 입력되는 제2 라이징 출력 데이터(r1\_out)를 전달하기 위한 전달게이트(901)를 포함할 수 있다. 라이징1 정렬부(490)는, 라이징1 래치부(450)의 출력인 제2 라이징 출력 데이터(r1\_out)와 제2 데이터 스트로브 폴링 신호(dsf1)를 입력으로 받아 제2 라이징 출력 데이터(r1\_out)를 제2 데이터 스트로브 폴링 신호(dsf1)에 동기된 제2 라이징 정렬 데이터(align\_r1\_out)를 출력한다.

<52> 도 10은 도 4의 쓰기 데이터 정렬을 위한 타이밍도이다.

- <53> 도 10에서 볼 수 있듯이, 가장 빠른 데이터 스트로브 신호(DQS1)에 의해 래치되는 데이터와 가장 늦은 데이터 스트로브 신호(DQS2)에 의해 래치되는 데이터의 정렬 마진은 1.5 tCK에 해당하고, 종래 기술에 대비하여 약 1tCK 정도 더 확장될 수 있음을 알 수 있다.
- <54> 도 11은 본 발명의 다른 실시예에 따른 쓰기 데이터 정렬을 위한 전체 블록도로서, 본 발명의 다른 실시예는 2<sup>n</sup> 비트 프리페치에 적용될 수 있는 경우를 보인다.
- <55> 즉, 데이터 스트로브 분배장치(1300) 내에 복수의 직렬연결된 데이터 스트로브 분배부(1310, 1320, ..., 13N0)를 사용하고, 도 4의 라이징0 래치부, 폴링0 래치부, 라이징1 래치부 및 폴링1 래치부(430, 440, 450, 460)를 한조로 하여 병렬로 된 N개조의 래치부(1400)는 N개의 데이터 스트로브 분배부 각각으로부터 출력되는 제1 및 제2 데이터 스트로브 라이징/폴링 신호를 병렬적으로 입력받아 처리하며, 도 4의 라이징0 정렬부, 폴링0 정렬부 및 라이징1 정렬부(470, 480, 490)를 한조로 하여 병렬로 된 N개조의 정렬부(1500)는 래치부(1400)로부터 출력되는 신호들을 도 4에 보이는 바와 같이 선택적으로 이용하여 라이징/폴링 정렬 데이터를 출력할 수 있다.
- <56> N개조의 정렬부(1500)의 구성을 제1 정렬부(1510)를 예로 들어 설명하면 다음과 같다. 제1 정렬부(1510)내 제1 라이징0 정렬부(1511)는 제1 데이터 스트로브 라이징 신호(dsr0\_1)를 제외한 데이터 스트로브 분배부(1300)의 모든 출력과 제1 라이징0 래치부(1411)의 출력(r0\_1\_out)을 입력받아 라이징 정렬 데이터(align\_r0\_1\_out)를 출력한다. 제1 폴링0 정렬부(1512)와 제1 라이징1 정렬부(1513)의 입출력관계와 나머지 정렬부(1520, ..., 15N0)의 입출력관계는 당업자라면 도 4로부터 당연히 예상할 수 있으므로 더 이상의 설명은 생략하기로 한다.
- <57> 또한, 본 발명의 또 다른 실시예는 도4의 정렬부(470, 480, 490) 혹은 도 11의 정렬부(1500)가 데이터 스트로브 버퍼부(400, 1100)로부터 출력되는 버퍼링된 데이터 스트로브 신호

(dsbuf\_out)의 라이징 에지에 정렬된 제2 데이터 스트로브 라이징 신호(dsr1)의 사용은 제외하고, 버퍼링된 데이터 스트로브 신호(dsbuf\_out)의 폴링 에지에 정렬된 제1 및 제2 데이터 스트로브 폴링 신호(dsf0/dsf1)를 사용하여 정렬할 수도 있다.

<58> 예를 들어, 도 4의 라이징0 정렬부(470)와 폴링0 정렬부(480)의 입력 중 제2 데이터 스트로브 라이징 신호(dsr1)를 입력에서 제외할 수 있다. 즉, 라이징0 정렬부(470)는, 제1 데이터 스트로브 폴링 신호(dsf0)에 제어받아 입력되는 제1 라이징 출력 데이터(r0\_out)를 전달하기 위한 전달게이트(701), 전달게이트(701)의 출력을 반전시키기 위한 인버터(702), 인버터(702)의 출력을 래치하기 위한 역병렬결합된 복수의 인버터(703, 704), 및 제2 데이터 스트로브 폴링 신호(dsf1)에 제어받아 인버터(702)의 출력을 전달하기 위한 전달게이트(709)를 포함할 수 있다. 또한, 폴링0 정렬부(480)는, 제2 데이터 스트로브 폴링 신호(dsf1)에 제어받아 입력되는 제1 폴링 출력 데이터(f0\_out)를 전달하기 위한 전달게이트를 포함할 수 있다. 이에 따라 정렬부에서 사용되는 트랜지스터의 개수가 줄어들어 전체적인 레이아웃의 면적이 줄어들며, 동작되는 트랜지스터의 개수가 줄어들므로 전류량이 줄게 된다. 이 때 라이징 에지/폴링 에지를 모두 사용하여 정렬하는 것에 비해 정렬과정 중에 발생하는 타이밍 마진은 줄어드나, 도메인 크로스 부분에서의 타이밍 마진은 그대로 유지될 수 있다.

<59> 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.



【발명의 효과】

<60>        본 발명은 쓰기 동작시 도메인 크로스 부분에서의 타이밍 마진을 확보함으로써 데이터 쓰기 동작을 원활하게 수행할 수 있는 유리한 효과가 있다.

【특허청구범위】

【청구항 1】

입력되는 제1 및 제2 데이터 스트로브 신호의 라이징 에지와 폴링 에지에 동기되며 적어도 외부클럭 주기의 2배 이상의 주기를 갖는 신호를 각각 병렬 출력하기 위한 데이터 스트로브 분배수단;

상기 제1 및 제2 데이터 스트로브 신호의 라이징 에지와 폴링 에지에 동기되는 신호에 제어받아 입력되는 데이터를 래치하기 위한 래치수단; 및

상기 데이터 스트로브 분배수단으로부터 출력되는 신호들을 선택적으로 이용하여 상기 래치수단으로부터 출력되는 데이터들을 동시에 출력하기 위한 정렬수단

을 포함하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

【청구항 2】

제1항에 있어서, 상기 데이터 스트로브 분배수단으로부터 출력되는 신호는,

상기 제1 데이터 스트로브 신호의 라이징 에지에 동기되는 제1 데이터 스트로브 라이징 신호, 상기 제1 데이터 스트로브 신호의 폴링 에지에 동기되는 제1 데이터 스트로브 폴링 신호, 상기 제2 데이터 스트로브 신호의 라이징 에지에 동기되는 제2 데이터 스트로브 라이징 신호 및 상기 제2 데이터 스트로브 신호의 폴링 에지에 동기되는 제2 데이터 스트로브 폴링 신호를 병렬 출력하며, 외부 주기의 2배에 해당하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

【청구항 3】

제2항에 있어서, 상기 래치수단은,

상기 제1 데이터 스트로브 라이징 신호와 상기 데이터를 입력받아 상기 제1 데이터 스트로브 라이징 신호의 라이징 에지에서 상기 데이터를 래치하기 위한 라이징0 래치부;

상기 제1 데이터 스트로브 폴링 신호와 상기 데이터를 입력받아 상기 제1 데이터 스트로브 폴링 신호의 라이징 에지에서 상기 데이터를 래치하기 위한 폴링0 래치부;

상기 제2 데이터 스트로브 라이징 신호와 상기 데이터를 입력받아 상기 제2 데이터 스트로브 라이징 신호의 라이징 에지에서 상기 데이터를 래치하기 위한 라이징1 래치부; 및

상기 제2 데이터 스트로브 폴링 신호와 상기 데이터를 입력받아 상기 제2 데이터 스트로브 폴링 신호의 라이징 에지에서 상기 데이터를 래치하기 위한 폴링1 래치부

를 포함하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

【청구항 4】

제3항에 있어서, 상기 정렬수단은,

상기 라이징0 래치부로부터 출력되는 상기 제1 데이터 스트로브 라이징 신호의 라이징 에지에서 래치된 제1 라이징 출력 데이터를 상기 폴링1 래치부로부터 출력되는 데이터와 정렬하기 위한 라이징0 정렬부;

상기 폴링0 래치부로부터 출력되는 상기 제1 데이터 스트로브 폴링 신호의 라이징 에지에서 래치된 제1 폴링 출력 데이터를 상기 폴링1 래치부로부터 출력되는 데이터와 정렬하기 위한 폴링0 정렬부; 및

상기 라이징1 래치부로부터 출력되는 상기 제2 데이터 스트로브 라이징 신호의 라이징 에지에서 래치된 제2 라이징 출력 데이터를 상기 폴링1 래치부로부터 출력되는 데이터와 정렬하기 위한 라이징1 정렬부

를 포함하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

#### 【청구항 5】

제4항에 있어서, 상기 라이징0 정렬부는,

상기 제1 데이터 스트로브 폴링 신호에 제어받아 입력되는 상기 제1 라이징 출력 데이터를 전달하기 위한 제1 전달게이트;

상기 제1 전달게이트의 출력을 반전시키기 위한 제1 인버터;

상기 제1 인버터의 출력을 래치하기 위한 역병렬결합의 제2 및 제3 인버터;

상기 제2 데이터 스트로브 라이징 신호에 제어받아 상기 제2 인버터의 출력을 전달하기 위한 제2 전달게이트;

상기 제2 전달게이트의 출력을 반전시키기 위한 제4 인버터;

상기 제4 인버터의 출력을 래치하기 위한 역병렬결합의 제5 및 제6 인버터; 및

상기 제2 데이터 스트로브 폴링 신호에 제어받아 상기 제5 인버터의 출력을 전달하기 위한 제3 전달게이트

를 포함하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

【청구항 6】

제4항에 있어서, 상기 폴링0 정렬부는,

상기 제2 데이터 스트로브 라이징 신호에 제어받아 입력되는 상기 제1 폴링 출력 데이터를 전달하기 위한 제1 전달게이트;

상기 제1 전달게이트의 출력을 반전시키기 위한 제1 인버터;

상기 제1 인버터의 출력을 래치하기 위한 역병렬결합의 제2 및 제3 인버터; 및

상기 제2 데이터 스트로브 폴링 신호에 제어받아 상기 제2 인버터의 출력을 전달하기 위한 제2 전달게이트

를 포함하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

【청구항 7】

제4항에 있어서, 상기 라이징1 정렬부는,

상기 제2 데이터 스트로브 폴링 신호에 제어받아 입력되는 상기 제2 라이징 출력 데이터를 전달하기 위한 제1 전달게이트

를 포함하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

【청구항 8】

제4항에 있어서, 상기 라이징0 정렬부는,

상기 제1 데이터 스트로브 폴링 신호에 제어받아 입력되는 상기 제1 라이징 출력 데이터를 전달하기 위한 제1 전달게이트;

상기 제1 전달게이트의 출력을 반전시키기 위한 제1 인버터;

상기 제1 인버터의 출력을 래치하기 위한 역병렬결합의 제2 및 제3 인버터;

및

상기 제2 데이터 스트로브 폴링 신호에 제어받아 상기 제2 인버터의 출력을 전달하기  
위한 제2 전달게이트

를 포함하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

【청구항 9】

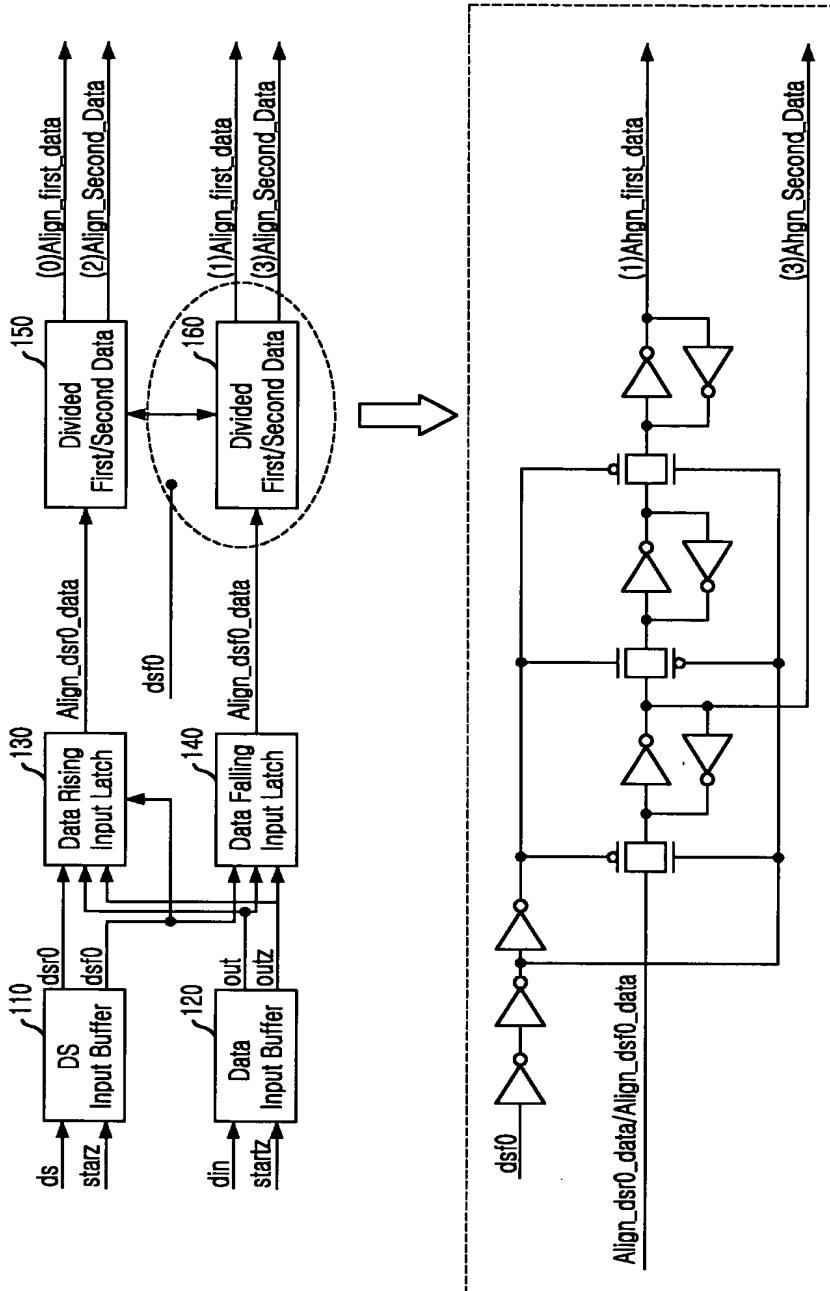
제4항에 있어서, 상기 폴링0 정렬부는,

상기 제2 데이터 스트로브 폴링 신호에 제어받아 입력되는 상기 제1 폴링 출력 데이터  
를 전달하기 위한 제1 전달게이트

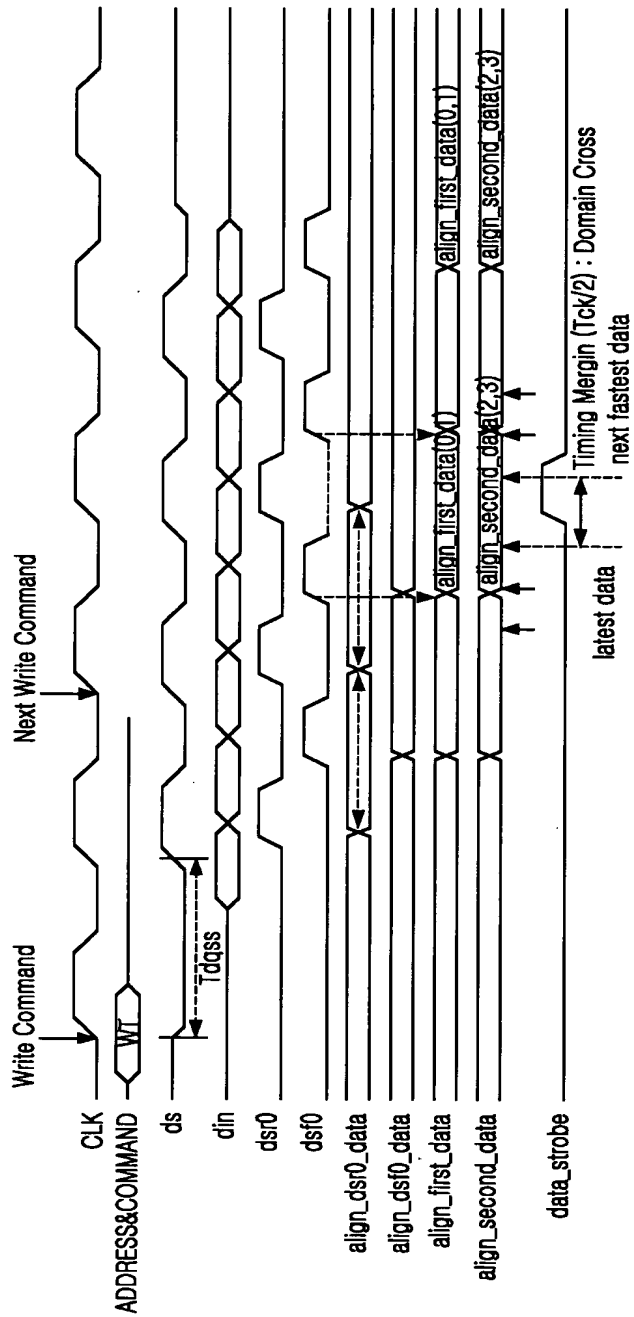
를 포함하는 것을 특징으로 하는 쓰기 데이터 정렬 회로.

【도면】

【 1】

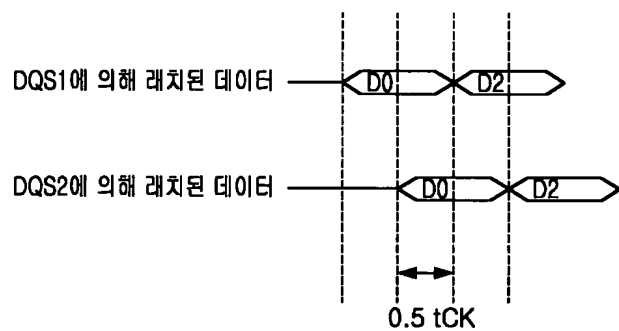
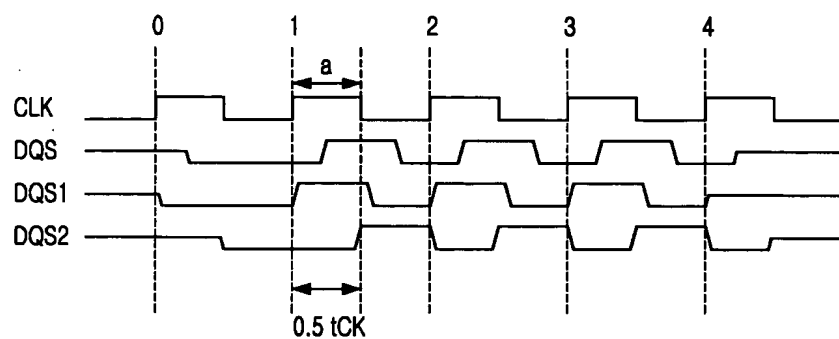


【도 2】

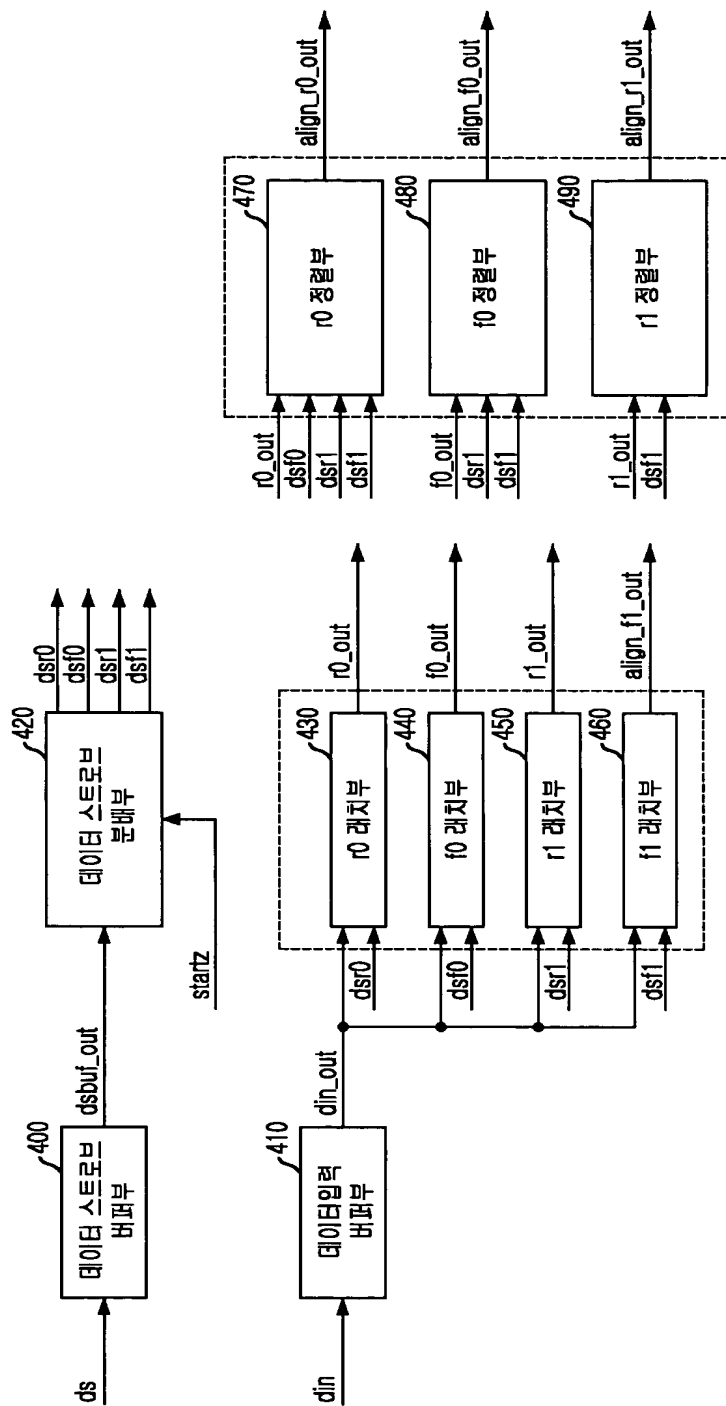




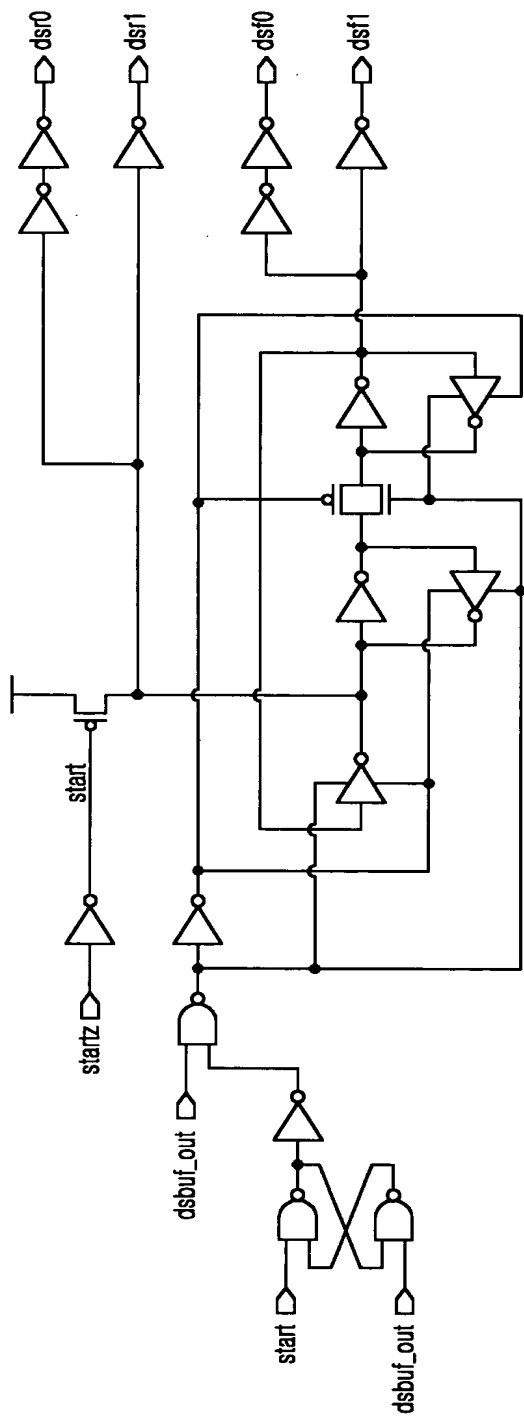
【도 3】



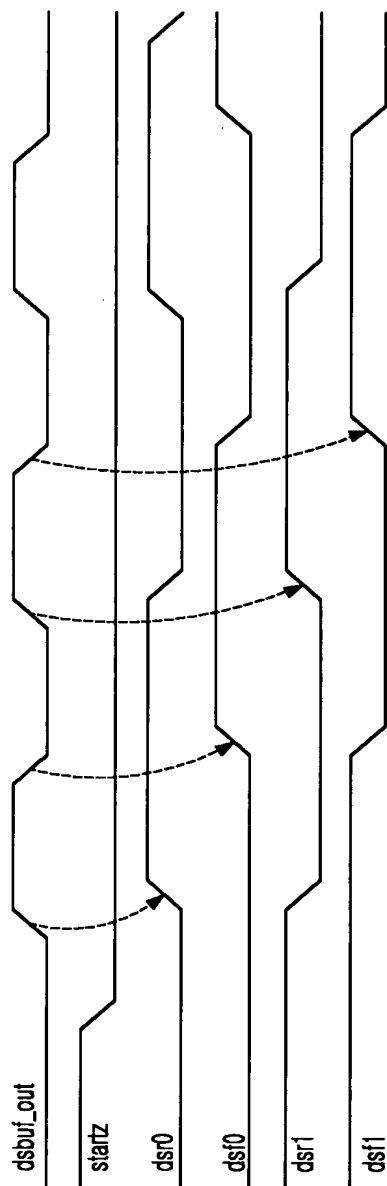
【도 4】



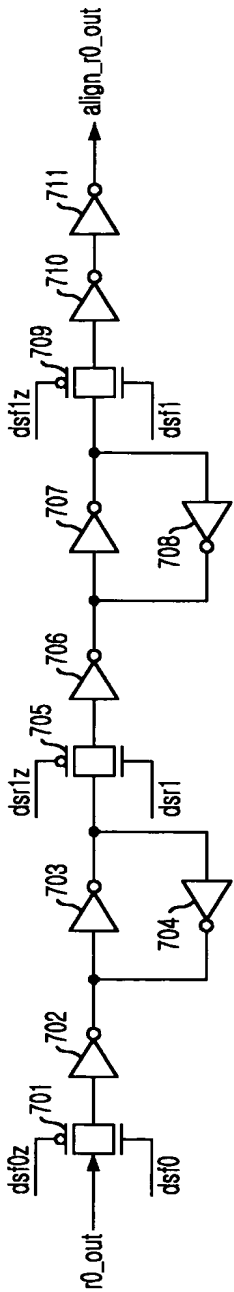
【도 5】



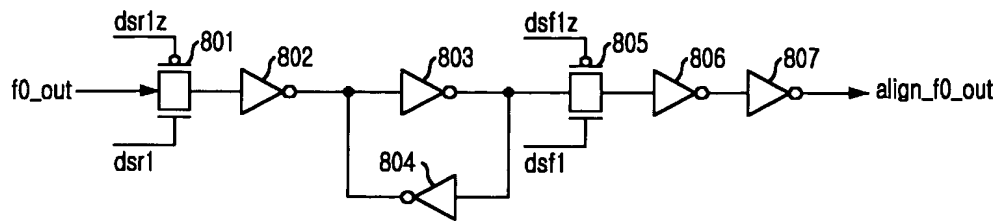
【도 6】



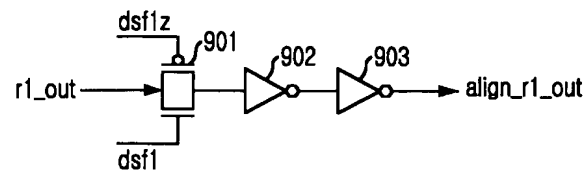
【도 7】



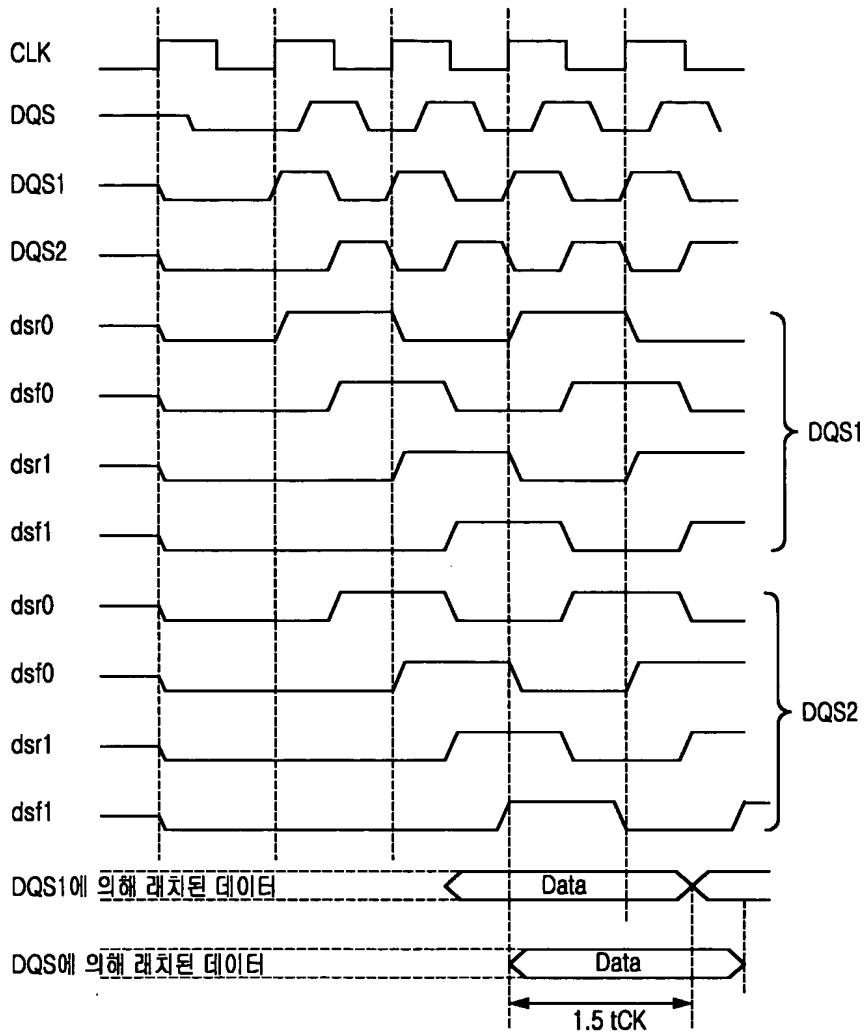
【도 8】



【도 9】



【도 10】



【도 11】

